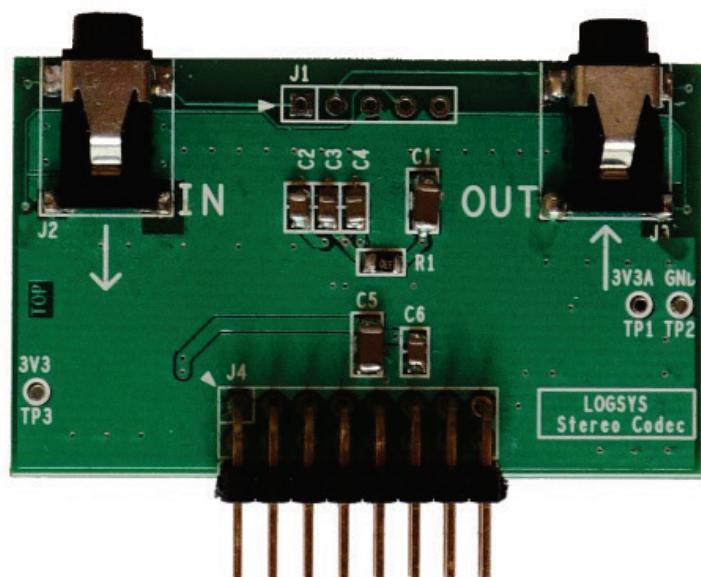


# **LOGSYS SZTEREÓ CODEC MODUL**

## **FELHASZNÁLÓI ÚTMUTATÓ**



## Tartalomjegyzék

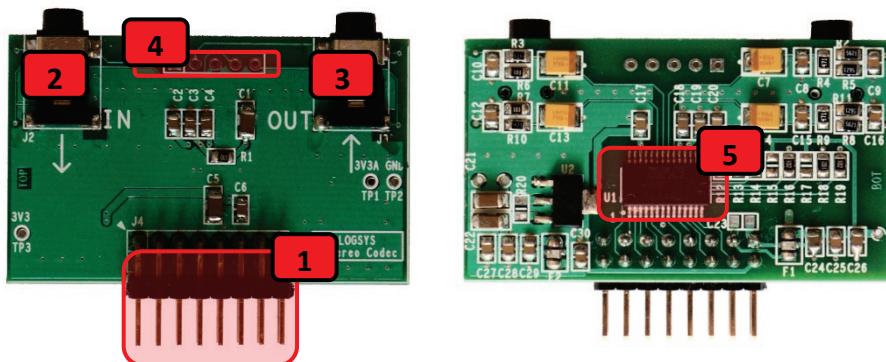
1	Bevezetés.....	1
2	A modul működése.....	2
3	A CODEC konfigurációja .....	3
4	Időzítési paraméterek.....	4
5	Az MCLK és az LRCLK kapcsolata .....	5
6	Soros interfész.....	6
7	A modul kapcsolási rajza.....	7
	Változások a dokumentumban .....	8

## 1 Bevezetés

A modul egy könnyen kezelhető két csatornás CODEC, melynek feladata, hogy minél egyszerűbb formában tudjunk hangfrekvenciás tartományban lévő analóg jeleket digitalizálni, valamint analóg formába visszaalakítani. A modul felépítését az 1-1. ábra szemlélteti, a bővítőcsatlakozó lábkiosztása az 1-1. táblázatban látható.

A modul főbb jellemzői:

- Wolfson WM8569 sztereó CODEC chip  
(adatlap: <http://www.wolfsonmicro.com/products/codecs/WM8569>)
  - 24 bites felbontás
  - 2 csatornás, 32-192 kHz tartományban működő, digitális-analóg konverter (DAC)
  - 2 csatornás, 32-96 kHz tartományban működő, analóg-digitális konverter (ADC)
  - Előre beállított interfész paraméterek (opcionális 3 vezetékes vezérlő busz)
- Sztereó-jack analóg be- és kimenet



1-1. ábra: A LOGSYS sztereó CODEC modul felépítése.

A modul felépítése:

1. LOGSYS bővítőcsatlakozó
2. Analóg (hang) bemenet, szabványos 3,5 mm jack csatlakozó
3. Analóg (hang) kimenet, szabványos 3,5 mm jack csatlakozó
4. J1 csatlakozó (tesztpontok)
5. Wolfson WM8569 sztereó CODEC chip

1-1. táblázat: A bővítőcsatlakozó lábkiosztása.

Láb	Típus <sup>1</sup>	Funkció
1	PWR	GND
2	PWR	5V tápfeszültség
3	PWR	3,3V tápfeszültség
4	I/NA <sup>2</sup>	SDIN – Config. adat bemenet
5	I/NA <sup>2</sup>	SCLK – Config. órajel bemenet
6	I/NA <sup>2</sup>	CSB – Config. kiválasztójel
7	O	ADC_DOUT – ADC adatkimenet
8	I	DAC_DIN – DAC adatbemenet

Láb	Típus <sup>1</sup>	Funkció
9	I	DAC_LRCLK - DAC mintavételi f.
10	I	ADC_LRCLK - ADC mintavételi f.
11	I	DAC_BCLK – DAC soros if. órajel
12	I	ADC_BCLK – ADC soros if. órajel
13	I	DAC_MCLK – DAC belső órajel
14	I	ADC_MCLK – ADC belső órajel
15		Nincs bekötve
16		Nincs bekötve

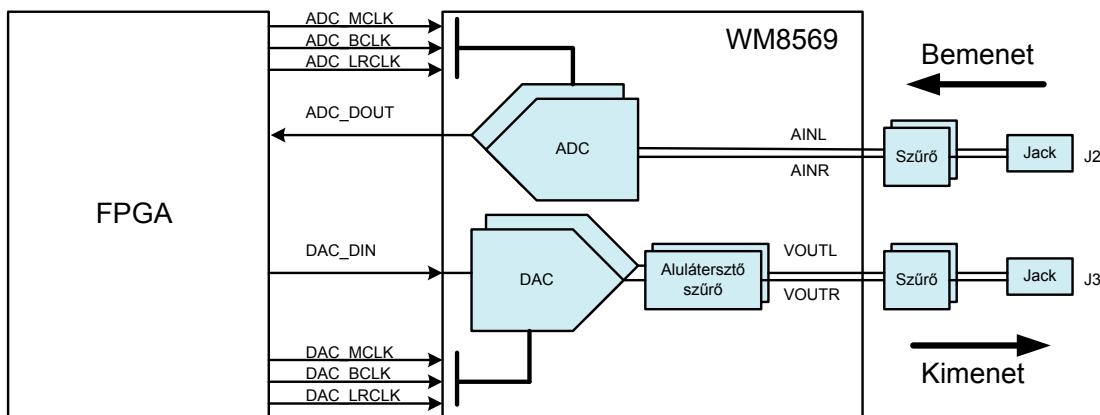
<sup>1</sup> PWR: tápellátás, I: bemenet, O: kimenet

**Például:** I (bemenet) esetén az FPGA számára az adott láb kimenet, a modul számára bemenet.

<sup>2</sup> Az SDIN/SCLK/CSB lábak a modulon jelenleg nem használtak, az opcionális konfigurációs interfész kialakítását teszik lehetővé.

## 2 A modul működése

A modul gyakorlatilag egyetlen WM8569 CODEC chip köré épül, a blokkvázlata a 2-1. ábrán látható. A tervezés során fő szempont volt a minél egyszerűbb kezelés az esetleges komplex konfigurációs interfész megtartása mellett.



2-1. ábra: A modul blokkvázlata.

A CODEC adatlapja alapján a be- és kimeneti jelszintek effektív értéke az analóg tápfeszültség ( $AVDD = 3,3$  V) értékével megegyező referenciafeszültség ( $DACVREFP$ ) 1/5-ével egyezik meg. Ez 660 mV (RMS), azaz szinuszos vezérlés esetén 1866 mV-os  $V_{pp}$  feszültségszintnek felel meg. A be- és a kimenetek AC csatoltak!

Az analóg be- és kimenetek a jack csatlakozón túlmenően a J1 jelű, 2,54 mm rászter osztású csatlakozón is elérhetőek. A J1 csatlakozó kiosztása a 2-1. táblázatban található.

2-1. táblázat: A J1 csatlakozó (mérőpontok) kiosztása

Láb	Név	Funkció
1	VIN1	Bemenő jel bal csatorna
2	VOUT1	Kimenő jel bal csatorna
3	GND	Föld
4	VIN2	Bemenő jel jobb csatorna
5	VOUT2	Kimenő jel jobb csatorna

### 3 A CODEC konfigurációja

A CODEC nagy előnye, hogy használata előtt nincs szükség számtalan belső regiszterének beállítására, hanem bekapcsolás után, a megfelelő órajel bemenetek biztosítása mellett azonnal működőképes (a többi hasonló chiphez képest ez jelentős könnyebbseg). Ezt a továbbiakban Hardware Control Mode-nak nevezzük.

Abban az esetben, ha valamely komplexebb funkciót szeretnénk elérni vagy egyedi vezérlést szeretnénk kipróbálni, az SDI, SCLK és CSB jelek egy soros konfigurációs interfészhez csatlakozhatnak, amelyen keresztül minden paraméter beállítható. Ezt a továbbiakban Software Control Mode-nak nevezzük. A kártya alap konfigurációja mellett azonban ezeket a jeleket nem kell/lehet használni. A fenti lábakat nem kell az FPGA tervben definiálni.

A Hardware/Software Control Mode között egy beültetési variációval válthatunk, amely a chip MODE lábának állapotát módosítja:

- Amennyiben az R13 ellenállás van beültetve (MODE=1, alapértelmezett), a Hardware Control Mode van kiválasztva. Ebben az esetben az SDI, SCLK és CSB lábakat nem szabad vezérelni.
- Amennyiben az R12 ellenállás van beültetve (MODE=0), a Software Control Mode van kiválasztva. Ebben az esetben az SDI, SCLK és CSB vonalak a soros konfigurációs interfészt vezérlik.

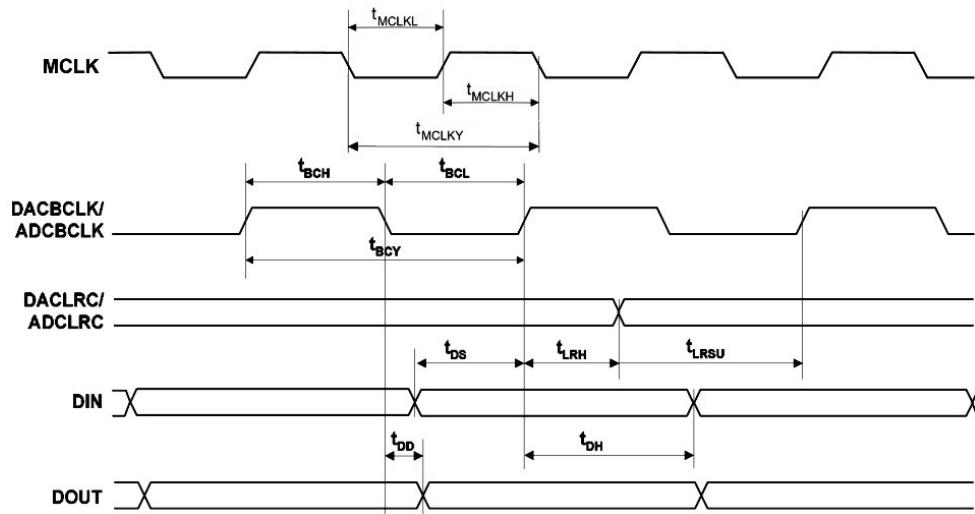
Hardware Control Mode esetén a chip néhány paramétere konfigurálható csak. Ezeket az IC bizonyos lábainak alacsony vagy magas állapotba történő állításával érhetjük el. A NYÁK úgy lett kialakítva, hogy bizonyos változtatásokat ellenállások cseréjével is megtehessünk. A 3-1. táblázat az alapbeállításokat tartalmazza.

**3-1. táblázat: A modul beállításai**

Funkció	Állapot	Beállító ellenállás	Leírás
Interfész típusa	-	-	Hardware Control Mode esetén a chip <b>mindig slave módban</b> működik, azaz az ADC_BCLK, DAC_BCLK ADC_LRCLK és DAC_LRCLK jelek a CODEC számára bemenetek.
Interfész formátum IDF/IWL láb	logikai 00	R14: beültetve R15: üres R16: beültetve	<b>00: 24 bites, jobbra igazított (alapértelmezett)</b> 01: 20 bites, jobbra igazított 10: 16 bites, I <sup>2</sup> S 11: 24 bites, I <sup>2</sup> S
De-emphasis DM láb	logikai 0	R18: beültetve R17: üres	<b>0: De-emphasis kikapcsolva (alapértelmezett)</b> 1: De-emphasis bekapcsolva
Kimenet tiltás MUTE láb	logikai 0	R19: beültetve	<b>0: kimeneti DAC engedélyezve van (alapértelmezett)</b> 1: kimeneti DAC tiltva van

## 4 Időzítési paraméterek

A WM8569 áramkör slave módú digitális interfészének idődiagramja a 4-1. ábrán látható, az időzítési paramétereket a 4-1. táblázat tartalmazza.



4-1. ábra: A WM8569 digitális interfészének idődiagramja (slave mód)

4-1. táblázat: A WM8569 digitális interfészének időzítési paraméterei.

Szimbólum	Paraméter	Min.	Tipikus	Max.	Egység
t <sub>MCLKL</sub> /t <sub>MCLKH</sub>	MCLK órajel alacsony/magas szintje	11	-	-	ns
t <sub>MCLKY</sub>	MCLK órajel periódusideje	28	-	-	ns
	MCLK órajel kitöltési tényezője	40	-	60	%
t <sub>BCL</sub> /t <sub>BCH</sub>	BCLK órajel alacsony/magas szintje	20	-	-	ns
t <sub>BCY</sub>	BCLK órajel periódusideje	50	-	-	ns
t <sub>LRSU</sub>	LRCLK előkészítési idő (BCLK-hoz képest)	10	-	-	ns
t <sub>LRH</sub>	LRCLK tartási idő (BCLK-hoz képest)	10	-	-	ns
t <sub>DS</sub>	DIN előkészítési idő (BCLK-hoz képest)	10	-	-	ns
t <sub>DH</sub>	DIN tartási idő (BCLK-hoz képest)	10	-	-	ns
t <sub>DD</sub>	DOUT késleltetési idő (BCLK-hoz képest)	0	-	10	ns

## 5 Az MCLK és az LRCLK kapcsolata

A digitális hangátviteli rendszerek esetén az ADC és DAC egységeket egyetlen központi órajelhez szokták szinkronizálni. Ezen közös órajel használata biztosítja, hogy az egyes alegységek szinkron járnak. A rendszer központi órajele az MCLK, amely frekvenciájából származtatható az összes többi órajel frekvencia is (az MCLK minden esetben bemenete a CODEC-nak). A CODEC az MCLK segítségével vezérli a belső digitális szűrőit, valamint a szigma-delta modulátort.

A másik fontos órajel az LRCLK, amelynek frekvenciája megegyezik a mintavételi frekvenciával ( $f_s$ ). Az alkalmazott CODEC esetén a mintavételi frekvencia 32 kHz, 44,1 kHz, 48 kHz és 96 kHz lehet, illetve a DAC járhat 192 kHz-es frekvencián is. Az LRCLK és az MCLK viszonyáról elmondható, hogy csak az alábbi jól meghatározott arányok engedhetők meg, amelyet az 5-1. táblázat foglal össze.

5-1. táblázat: Az MCLK és a mintavételi frekvencia kapcsolata

LRCLK frekvencia / Mintavételi frekvencia ( $f_s$ )	MCLK órajel frekvenciája (MHz)					
	128 $f_s$ <sup>3</sup> (DAC)	192 $f_s$ <sup>3</sup> (DAC)	256 $f_s$	384 $f_s$	512 $f_s$	768 $f_s$
32 kHz	4,096	6,144	8,192	12,288	16,384	24,576
44,1 kHz	5,6448	8,467	11,2896	16,9340	22,5792	33,8688
48 kHz	6,144	9,216	12,288	18,432	24,576	36,864
96 kHz	12,288	18,432	24,576	36,864	N/A <sup>4</sup>	N/A <sup>4</sup>
192 kHz (DAC)	24,576	36,864	N/A <sup>4</sup>	N/A <sup>4</sup>	N/A <sup>4</sup>	N/A <sup>4</sup>

A CODEC az MCLK és az LRCLK arányát automatikusan detektálja, MCLK órajelekben mérve megszámolja az LRCLK periódusidejét. Abban az esetben, ha a mért periódus idő  $\pm 32$  órajelnél többel eltér a táblázatban rögzítettől, a rendszer automatikusan a 768  $f_s$  üzemmódot választja ki.

Az MCLK és LRCLK órajeleknek egymással szinkron kell működniük, azonban az MCLK és LRCLK órajelek egymáshoz viszonyított fázisára (és a jitter-re) a CODEC nem érzékeny.

Fontos megemlíteni, hogy mivel az ADC és a DAC rész teljesen különválasztott, külön órajel bemenetekkel rendelkezik, elközelhető olyan alkalmazás, ahol az ADC és DAC eltérő mintavételi frekvencián dolgoznak.

<sup>3</sup> A 128 fs és a 192 fs üzemmód csak a DAC esetén állítható be.

<sup>4</sup> N/A: az üzemmód nem elérhető

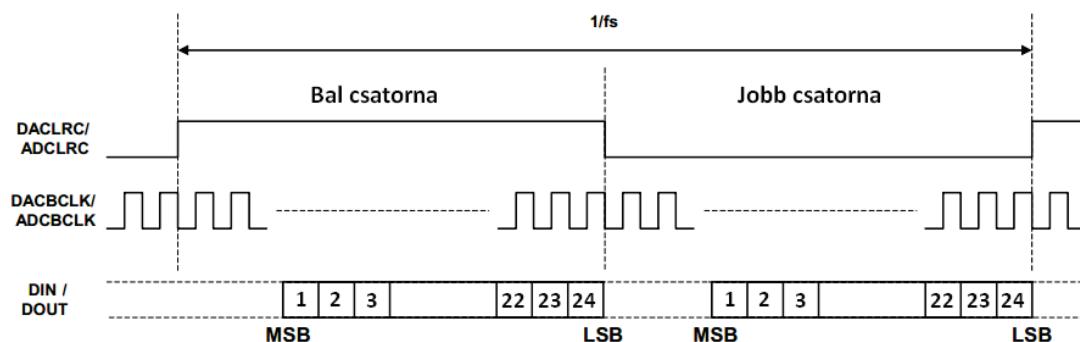
## 6 Soros interfész

Mint korábban láttuk, a modul (a Hardware Control Mode-nak megfelelő alapkonfiguráció esetén) 24 bites, jobbra igazított adatformátummal dolgozik (6-1. ábra). Az adatátvitelt a BCLK órajel időzíti, amely a soros interfész órajele.

Az ADC\_DOUT adatkimenet mindenkor a BCLK lefutó éle után vált, ezért mintavételezni a BCLK felfutó élénél érdemes. A legkisebb helyiértékű bit (LSB) mindenkor az LRCLK váltása előtt jelenik meg. A legmagasabb helyiértékű bit (MSB) pedig 24 órajellel korábban.

A DAC\_DIN adatbemenetet a chip a BCLK felfutó élénél mintavételezi. Az LSB ugyancsak az LRCLK váltása előtti utolsó bit, az MSB pedig 24 órajellel korábbi.

Az LRCLK értéke a bal csatornára magas, a jobbra alacsony.



6-1. ábra: A 24 bites, jobbra igazított üzemmód.

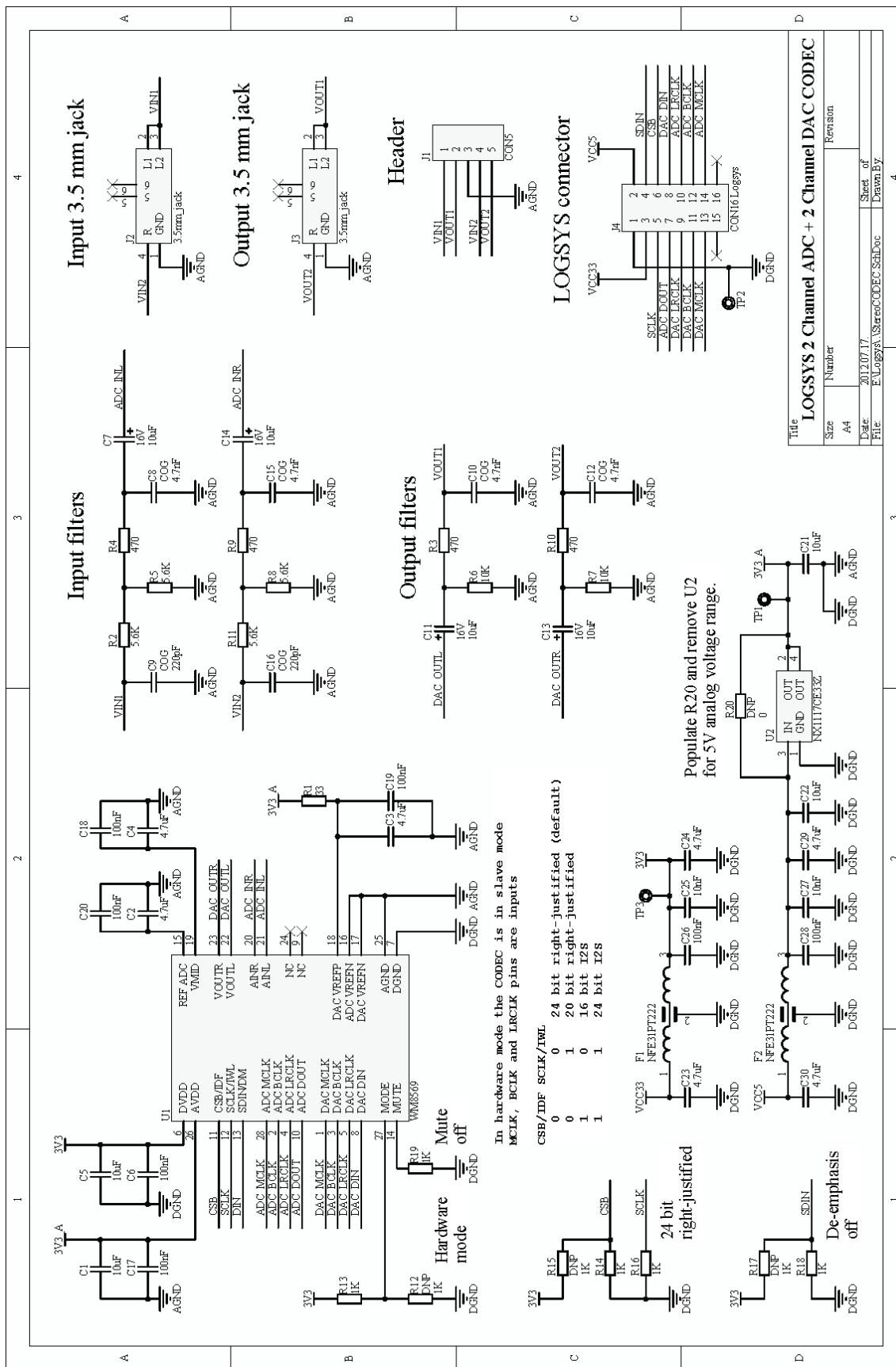
Jól látható, hogy a specifikáció nem tartalmazza a BCLK konkrét frekvenciáját. Ahhoz, hogy a  $2 \times 24$  bit átvihető legyen, legalább  $48x$  LRCLK ( $f_s$ ) frekvenciára kell választani. A gyakorlatban inkább  $64x$  LRCLK ( $f_s$ ) frekvenciát szoktunk alkalmazni. Ebben az esetben 8 órajel/csatorna bitidő alatt az ADC\_DIN/DAC\_DOUT adatok értéke határozatlan (bemenet esetén), illetve közömbös (kimenet esetén) az MSB bitet megelőzően.

Mint azt korábban említettük, az MCLK és LRCLK órajeleknek egymással szinkron kell működniük, az LRCLK viszont a BCLK jelhez is szinkron, következésképp mindenkor órajelet (MCLK, BCLK és LRCLK) szinkronra kell terveznünk!

Egy konkrét javasolt beállítás:

- LRCLK, mintavételi frekvencia ( $f_s$ ): 48 kHz
- BCLK:  $64x$  LRCLK = 3,072 MHz
- MCLK:  $256x$  LRCLK = 12,288 MHz

## 7 A modul kapcsolási rajza



## Változások a dokumentumban

Dátum	Verzió	Megjegyzés
2012. szeptember 16.	1.0	Az első kiadás.