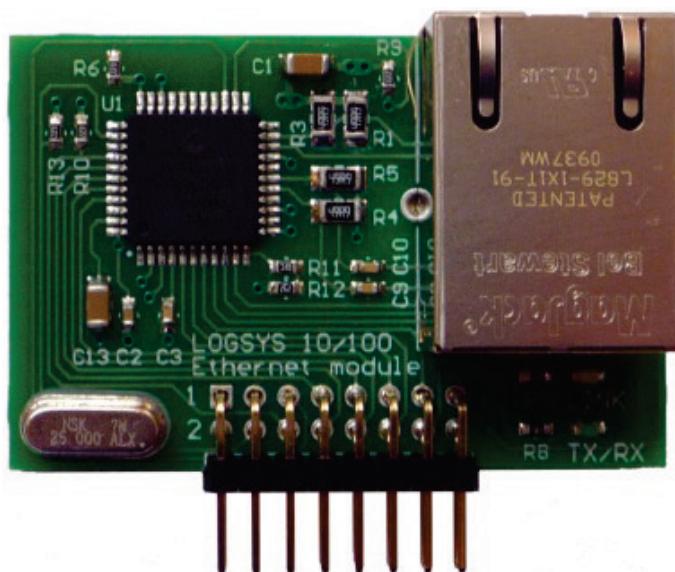


LOGSYS 10/100 ETHERNET MODUL

FELHASZNÁLÓI ÚTMUTATÓ



Tartalomjegyzék

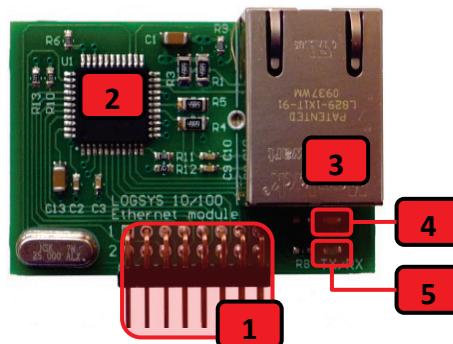
1	Bevezetés.....	1
2	Kommunikációs interfész.....	2
3	A modul használata	4
3.1	<i>Incializálás.....</i>	4
3.2	<i>Ethernet csomagok küldése</i>	5
3.3	<i>Ethernet csomagok vétele.....</i>	5
4	A modul kapcsolási rajza.....	7
	Változások a dokumentumban	8

1 Bevezetés

A modul lehetővé teszi, hogy a LOGSYS FPGA kártyákat UTP kábellel Ethernet hálózathoz csatlakoztassuk. A modul felépítését az 1-1. ábra szemlélteti. A bővítőcsatlakozó lábkiosztását az 1-1. táblázat mutatja.

A modul főbb jellemzői:

- Microchip ENC424J600 Ethernet vezérlő áramkör
(az eszköz adatlapja letölthető a gyártó honlapjáról: <http://www.microchip.com>)
 - Integrált MAC és 10/100 Base-T PHY
 - Automatikus polaritás detektálás és korrekció
 - Beépített 24 KB adási/vételi csomag puffer
 - Adatok másolása a csomag pufferen belül DMA-val
 - Hardveres IP és TCP ellenőrző összeg számítás
 - Hardveres titkosító motor (RSA, AES, MD5, SHA-1)
- 8 bites multiplexelt párhuzamos kommunikációs interfész
- RJ45 (8P8C) aljzat az Ethernet kábel csatlakoztatásához



1-1. ábra: A LOGSYS 10/100 Ethernet modul felépítése.

A modul felépítése:

1. LOGSYS bővítőcsatlakozó
2. Microchip ENC424J600 Ethernet vezérlő áramkör
3. Ethernet kábel csatlakozó
4. A kapcsolatot jelző sárga LED
5. Az adást/vételt jelző zöld LED

1-1. táblázat: A bővítőcsatlakozó lábkiosztása.

Láb	Típus ¹	Funkció
1	PWR	GND
2		nincs bekötve
3	PWR	3,3V tápfeszültség
4	I	Írás/olvasás engedélyező jel
5	I	Írás/olvasás kiválasztás, AD8
6	I	Cím latch engedélyező jel
7	I/O	Címbusz/adatbusz (0. bit)
8	I/O	Címbusz/adatbusz (1. bit)

Láb	Típus ¹	Funkció
9	I/O	Címbusz/adatbusz (2. bit)
10	I/O	Címbusz/adatbusz (3. bit)
11	I/O	Címbusz/adatbusz (4. bit)
12	I/O	Címbusz/adatbusz (5. bit)
13	I/O	Címbusz/adatbusz (6. bit)
14	I/O	Címbusz/adatbusz (7. bit)
15	O	Megszakításkérés (IRQ)
16		nincs bekötve

¹ PWR: tápellátás, I: bemenet, O: kimenet, I/O: kétirányú

2 Kommunikációs interfész

A modulon lévő ENC424J600 típusú áramkör többféle kommunikációs interfésszel is rendelkezik, ezek közül a modul a párhuzamos interfész MODE 6 nevű üzemmódját használja. Ebben az üzemmódban a címbusz és az adatbusz részlegesen multiplexelt és az adatszélesség 8 bites. A párhuzamos interfész a MODE 6 üzemmód esetén az alábbi jelekkel tevődik össze:

- **CS:** magas-aktív kiválasztó jel (chip-select)
- **AL:** magas-aktív cím latch engedélyező jel
- **R/W:** írás (0) / olvasás (1) kiválasztó jel
- **EN:** magas-aktív engedélyező jel az írási/olvasási műveletekhez
- **AD[7:0]:** 8 bites multiplexelt adat- és címbusz (a címbusz alsó 8 bitje)
- **AD[14:8]:** a címbusz felső 7 bitje

A fenti listában összesen 19 jel található, azonban a LOGSYS bővítőcsatlakozó a Spartan-3E FPGA kártya esetén csak 11, a többi kártyák esetén pedig csak 13 kimenetként is használható kivezetéssel rendelkezik. Az AD[14:9] címbitek (a felső 6 címbit) tápfeszültségre kötésével csökkenthető a kivezetésre kerülő címbitek száma, de ekkor közvetlenül csak a regiszterek érhetők el az ENC424J600 címtartományának felső 256 bájtján (2-1. táblázat), az SRAM puffer elérése az indirekt cím- és adatregiszterek használatával lehetséges. A CS kiválasztó jel használata sem kötelező, ez is fixen a tápfeszültségre köthető. Az AD[8] címbit csak a cím latch írásakor van felhasználva, az R/W jel pedig csak az adatátvitelkor, ezért ez a két jel is összevonható. A modul által használt módosított interfész tehát a következő jelekből áll:

- **AL:** magas-aktív cím latch engedélyező jel
- **RNW/AD[8]:** közösített írás/olvasás kiválasztó jel és AD[8] címbit
- **EN:** magas-aktív engedélyező jel az írási/olvasási műveletekhez
- **AD[7:0]:** 8 bites multiplexelt adat- és címbusz (a címbusz alsó 8 bitje)

2-1. táblázat: Az ENC424J600 Ethernet vezérlő belső címkiosztása.

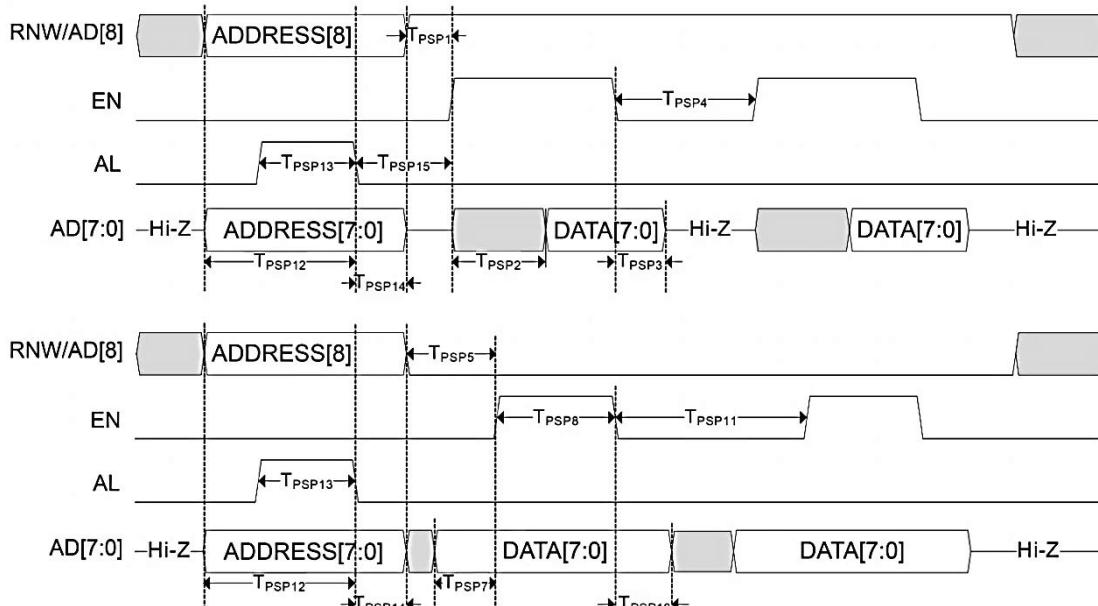
24 kByte SRAM puffer	0x0000 0x5FFF 0x6000 0x77FF 0x7800 0x7C4F 0x7C50 0x7DFF 0x7E00
Nem használt terület	0x7EFF 0x7F00
Adatok a hardveres titkosító motor számára (ez a terület csak a belső DMA-val érhető el)	0x7F7F 0x7F80 0x7FFF
Nem használt terület	
Speciális funkció regiszterek (SFR)	
SFR bit beállító regiszterek	
SFR bit törlő regiszterek	

A modul kommunikációs interfészének idődiagramja a 2-1. ábrán látható, az időzítési paramétereket a 2-2. táblázat tartalmazza. Ha egymás után ugyanazt a regisztert szeretnénk elérni, akkor a cím latch értékét nem kell frissíteni, tehát ismételt cím kiadásra nincs szükség. Ugyanez vonatkozik a 24 kByte méretű belső SRAM puffer indirekt elérésére is, mivel az adott indirekt adatregiszter írásakor és olvasásakor a megfelelő indirekt címregiszter értéke automatikusan növekszik.

Az ENC424J600 áramkör SFR regiszteri 16 bitesek. A 8 bites kommunikációs interfész miatt a regisztereknek egy írási/olvasási művelettel csak az alsó vagy felső bájtja érhető el, a teljes tartalom eléréséhez két írási/olvasási műveletre van szükség. Írás esetén a 8 bites adat azonnal beíródik az adott regiszter alsó vagy felső bájtjába, tehát nincs szükség két írási műveletre, ha egy regiszternek csak az alsó vagy csak a felső bájtját szeretnénk írni. A regiszterek elrendezése little-endian formátum szerinti, azaz az alsó bájt minden az alacsonyabb címről érhető el. A 16 bites regiszterek ellenére a belső SRAM puffer elérése minden bájtosan történik, az indirekt regiszterek alsó bájtját kell csak írni vagy olvasni, a felső bájt olvasása minden 0x00 értéket ad vissza.

Az ENC424J600 Ethernet vezérlő áramkör kommunikációs interfészéhez tartozó FPGA I/O lábak beállítása a következő legyen:

- I/O szabvány (I/O standard):** LVTTL
- A kimenet meghajtási erőssége (output drive strength):** 12 mA (alapértelmezett)
- A kimenet jelváltási sebessége (output slew rate):** SLOW (alapértelmezett)



2-1. ábra: Az olvasási (felső) és az írási (alsó) művelet idődiagramja.

2-2. táblázat: A kommunikációs interfész időzítési paraméterei.

Szimbólum	Paraméter	Min.	Tipikus	Max.	Egység
T_{PSP1}	RNW jel előkészítési ideje olvasáskor	1	-	-	ns
T_{PSP2}	EN felfutó élétől az érvényes adatig eltelt idő	-	-	75	ns
T_{PSP3}	Adat tartási idő olvasáskor	0	-	3	ns
T_{PSP4}	EN alacsony szintjének időtartama olvasáskor	4,5	-	-	ns
T_{PSP5}	RNW jel előkészítési ideje íráskor	3,5	-	-	ns
T_{PSP7}	Adat előkészítési idő	3,5	-	-	ns
T_{PSP8}	EN magas szintjének időtartama íráskor	6,5	-	-	ns
T_{PSP10}	Adat tartási idő íráskor	1	-	-	ns
T_{PSP11}	EN alacsony szintjének időtartama SFR íráskor	4,5	-	-	ns
	EN alacsony szintjének időtartama SRAM íráskor	40	-	-	ns
T_{PSP12}	Cím előkészítési idő	6,5	-	-	ns
T_{PSP13}	AL magas szintjének időtartama	6,5	-	-	ns
T_{PSP14}	Cím tartási idő	1	-	-	ns
T_{PSP15}	AL alacsony szintjének időtartama	4	-	-	ns

3 A modul használata

Az alábbiakban röviden ismertetésre kerül az ENC424J600 Ethernet vezérlő áramkör inicializálása, valamint az Ethernet csomagok küldése és fogadása. A leírás nem tér ki olyan ritkábban használt dolgokra, mint például a csomagszűrés vagy az átvitelvezérlés konfigurálása. Az itt említett regiszterek részletes leírása az eszköz adatlapjában megtalálható.

3.1 Inicializálás

Az áramkör inicializálása előtt szükséges annak alaphelyzetbe állítása, melynek végrehajtásához az alábbi lépések szükségesek:

- Várakozunk, amíg a párhuzamos kommunikációs interfész nem használható. Írunk az EUDAST regiszterbe 0x1234 értéket és ezt addig ismételjük, amíg a visszaolvasott adat 0x1234 nem lesz.
- Várakozunk, amíg az ESTAT regiszter CLKRDY bitje 1 nem lesz.
- Adjuk ki a reset parancsot az ECON2 regiszter ETHRST bitjének beállításával.
- Várakozunk legalább 25 μ s ideig, amíg a reset művelet be nem fejeződik.
- Ellenőrizzük az EUDAST regiszter értékét, amely a reset után 0x0000 kell, hogy legyen.
- Várakozunk legalább 256 μ s ideig, ezután a PHY regiszterek elérhetők.

Az áramkör alaphelyzetbe állítása után a következő lépés a vételi puffer konfigurálása, melyet a csomagok vételének engedélyezése előtt mindenkorábban meg kell tenni. Ehhez írjuk be a vételi puffer kezdőcímét az ERXST regiszterbe. A kezdőcím csak páros értékű lehet. A vételi puffer utolsó szavának címét az ERXTAIL regiszter tárolja, mely alapértelmezésben az SRAM puffer végére mutat (0x5FFE). Az Ethernet csomagok vételéhez szükség van egy változóra (NextPacketPointer), amely a következő csomag kezdőcímét tárolja a vételi

pufferben. Inicializáljuk ezt a változót a vételi puffer kezdőcímével. Adási puffer külön nincs definiálva, mert az alkalmazás bármely nem használt SRAM területre beírhatja a küldendő csomagot.

A vételi puffer konfigurálása után inicializálni kell néhány MAC regisztert:

- minden ENC424J600 áramkör egyedi MAC címmel rendelkezik, amely kiolvasható az MAADDR1, az MAADDR2 és az MAADDR3 regiszterekből. Ha más MAC címet szeretnénk használni, akkor ezekbe a regiszterekbe beírható az új MAC cím.
- Állítsuk be a maximális Ethernet kerethosszat az MAMIXFL regiszterben. Ez tipikusan egy 64 bájt és 1518 bájt közötti érték.
- Az auto-negotiation használatához írunk az Ethernet PHY PHANA regiszterébe 0x05E1 értéket. A PHY regiszterek közvetlenül nem érhetők el, írásuk az alábbi módon lehetséges:
 - Írjuk be a MIREGADR regiszter alsó bájtjába a PHY regiszter címét, a felső bájt értéke 0x01 kell, hogy legyen.
 - Írjuk be az MIWR regiszterbe a PHY regiszterbe írandó adatot, először az alsó bájtot, majd a felső bájtot (ez utóbbi indítja el a PHY regiszter írást).
 - Várakozzunk, amíg a MISTAT regiszter BUSY bitje nem törlődik.
- Engedélyezzük az Ethernet csomagok vételét az ECON1 regiszter RXEN bitjének beállításával.

3.2 Ethernet csomagok küldése

Az Ethernet csomagot annak elküldése előtt be kell másolni az SRAM puffer nem használt részére. Ehhez állítsuk be az SRAM kezdőcímét az EGPWRPT regiszterbe, majd az EGPDATA regiszterbe írjuk be az adatokat. Az EGPWRPT mutató az EGPDATA minden írásakor egyelőre növekszik. A csomag elküldéséhez állítsuk be az ETXST regisztert a csomag kezdőcímére, az ETXLEN regisztert a csomag méretére, majd az ECON1 regiszter TXRTS bitjének beállításával elindítható a küldés. Ha az Ethernet csomag el lett küldve, akkor az ECON1 regiszter TXRTS bitje törlődik. Ezen bit értékének vizsgálatával várakozhatunk, amíg be nem fejeződik az adatküldés.

3.3 Ethernet csomagok vétele

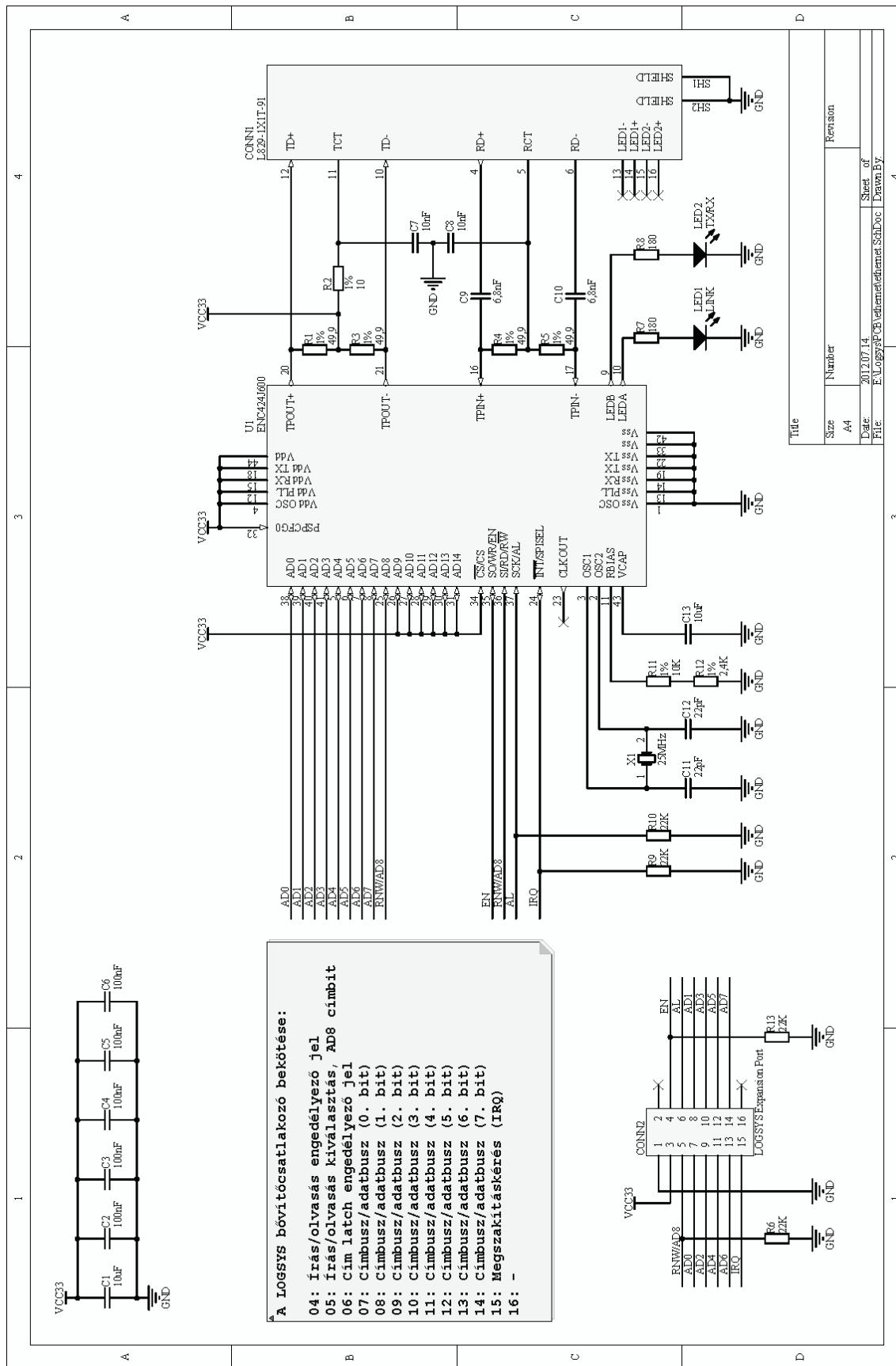
Az Ethernet csomagok vételéhez az alábbi lépéseket kell végrehajtani:

- Ellenőrizzük az EIR regiszterben a PKTIF bit értékét. Ha ez a bit 0, akkor a vételi pufferben nincs adat.
- Írjuk a következő csomag kezdőcímét tároló változó (NextPacketPointer) értékét az ERXRDPT regiszterbe. Az adatokat az ERXDATA regiszter olvasásával tudjuk kiolvasni az SRAM-ból. Az ERXRDPT mutató az ERXDATA minden olvasásakor egyelőre növekszik.
- A csomag első két bájtja tartalmazza a következő csomag kezdőcímét a vételi pufferben, a kiolvasott értékkal frissítsük a következő csomag kezdőcímét tároló

változót (NextPacketPointer). Az új kezdőcím little-endian formátumú, tehát annak alsó bájtja található a kisebb címen.

- A csomagban a következő 6 bájt tartalmazza a vételi státusz vektort (RSV). A vételi státusz vektor első két bájtja tartalmazza az Ethenet keret méretét bájtokban. Ez little-endian formátumú, tehát annak alsó bájtja található a kisebb címen. A vételi státusz vektor harmadik bájtjának MSb-je jelzi a hibamentes vételt.
- Olvassuk be az Ethernet keretet, melynek méretét a vételi státusz vektor tartalmazza.
- Írjuk be a vételi puffer végének új címét az ERXTAIL regiszterbe. Az új cím a következő csomag címét tároló változó értéke kettővel csökkentve (NextPacketPointer-2).
- Nyugtázzuk a csomag vételét az ECON1 regiszter PKTDEC bitjének beállításával.

4 A modul kapcsolási rajza



Változások a dokumentumban

Dátum	Verzió	Megjegyzés
2012. szeptember 16.	1.0	Az első kiadás.